

使用 PSpice 进行 PLL 仿真

BG6RDF

一. 基本原理

1. 鉴相器输出电压 $V_d = K_d(\theta_i - \theta_o)$ ，鉴相器增益 K_d 的单位是 V/rad。
2. 环路滤波器的输出电压 $V_c = F(s)V_d$ ， $F(s)$ 是环路滤波器的传输特征函数。
3. VCO 的输出频率 $f_v = K_v V_c$ ，VCO 增益 K_v 的单位是 rad/s。
4. 因为相位的微分是频率，而鉴相器比较的是相位，通过拉普拉斯变换可得：
$$\theta_v(s) = \frac{K_v \cdot V_c(s)}{s}。$$
5. 对于分频器有： $\theta_o = \frac{\theta_v}{N}。$
6. 传输特性 $f_{vpm} = \frac{K_d \cdot K_v}{N \cdot 2\pi}。$
7. PLL 电路是对控制频率的 VCO 输出信号的相位进行比较，整体上（除环路滤波器外）为积分特性而产生一次滞后，即相位滞后 90 度。
8. 相位余量是指开环增益为 0dB 时，相位与 -180 度的距离，相位余量大环路稳定。参考模拟电子电路理论中有关振荡器的论述：反馈系统振荡的条件是 $AF=1$ （A 为主网络增益，F 为反馈网络增益），相位变化为 360 度的整数倍。因为 PLL 是负反馈系统，要确保稳定就是要确保开环增益为 1(0dB)时，相位变化必须小于 180 度，并应留有一定余量。通常 45 度的相位余量是比较合适的。
9. 环路带宽是开环增益为 0dB 时的频率。
10. 环路带宽大输出频谱中鉴相频率的寄生成分高，环路增益大，相位噪声低，锁相时间短。环路带宽小输出频谱中鉴相频率的寄生成分低，环路增益小，相位噪声高，锁相时间长。
11. 大的 ω_n (自然频率)环路带宽大，锁相速度快。

二. 电路仿真与测试

这里主要仿真和测试有源环路滤波器，一是为了展宽频率范围，二是尽量加大变容管电压，加大 Q 值，减小噪音。

1. 二阶有源环路滤波器

该电路实现 18MHz 至 38MHz 频率输出。实验电路 VCO 增益 K_v 为 13561906.42。鉴相

器增益 $K_d = \frac{5}{4\pi}$ ，约为 0.39789，VCO 输入分频比为 200。因此 f_{vpm} 约为 4294。该滤波器电路来自参考资料 2，电阻电容的计算公式也来自该资料。本图中阻尼系数 ζ 设为 0.707，自然频率 $\omega_n = \frac{2\pi f_R}{50}$ ， f_R 是鉴相频率，这里取值为 100000Hz。

电路图如图 1 所示，上半部分是闭环图，下半部分是开环图。图中积分器件为 INTEG，设置其 GAIN 值为 $f_{vpm} \cdot 2\pi$ ，图中为 26980。负反馈器件为 DIFF。反相器器件为 GAIN，增

益设为-1。

要说明的是，参考资料 2 中指出：如果采用鉴相器双端输出，则鉴相器增益 $K_d = \frac{5}{2\pi}$ 。但仿真电路中为模拟双端输出，引入反相放大器，这样双端输入的有源环路滤波器的输入实际上被放大为原来的两倍，所以仍然按照 $K_d = \frac{5}{4\pi}$ 计算鉴相器增益。

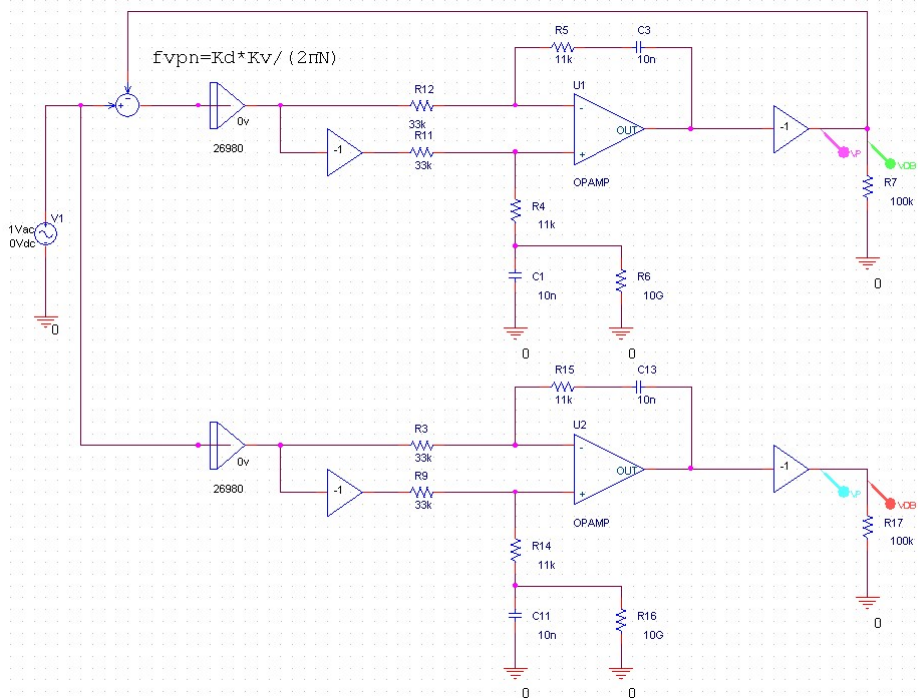


图 1：二阶有源环路滤波器电路图

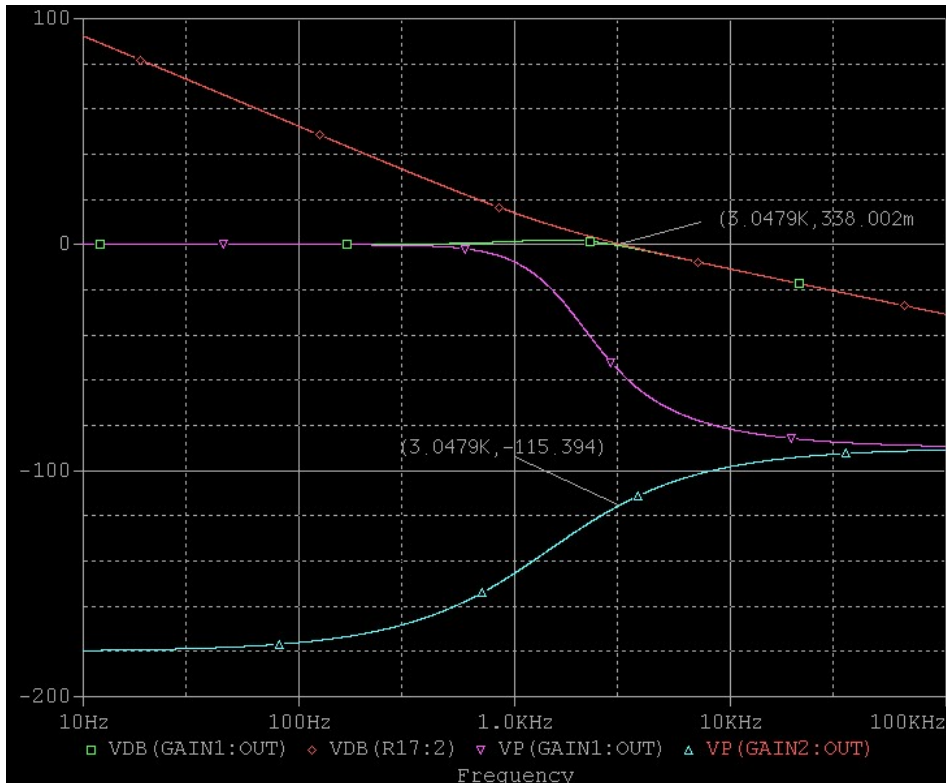
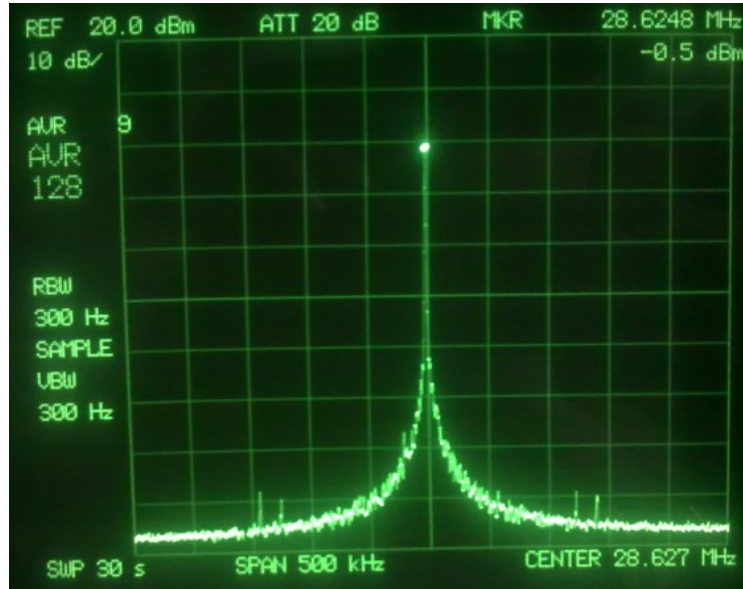
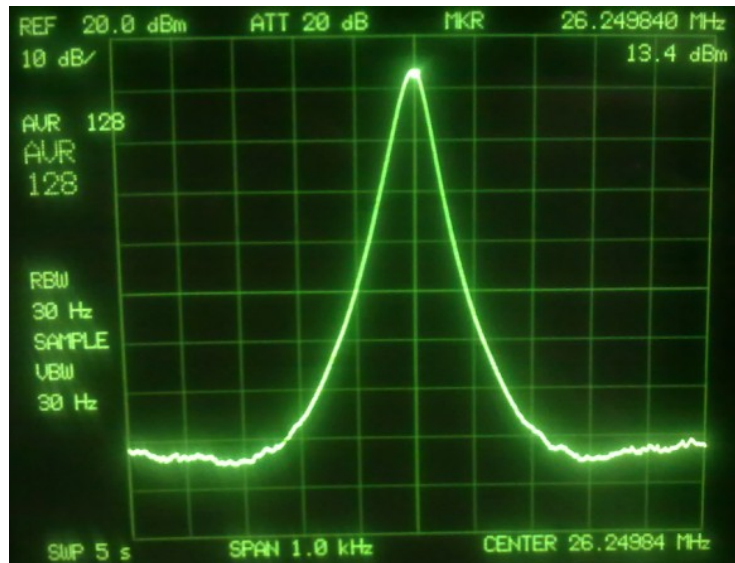


图 2：二阶有源环路滤波器仿真结果

该电路仿真结果如图 2 所示，图中有四条曲线，VDB(GAIN1:OUT)为闭环增益，VP(GAIN1:OUT)为闭环相位，VDB(R17:2)为开环增益，VP(GAIN2:OUT)为开环相位。从图上可以看到开环增益为每 10 倍频程下降 10dB，环路带宽约为 3048Hz，开环增益为 0dB 时，相位余量约为 65 度。



(A) SPAN=500KHz



(B) SPAN=1KHz

图 3：采用二阶有源环路滤波器的 PLL 输出频谱

2. 三阶有源环路滤波器

该电路的鉴相器、VCO 和分频比同二阶有源环路滤波器，区别在于环路滤波器采用三阶有源环路滤波器，使用鉴相器的单端输出，并且分频不在固定，而是在 100 和 400 区间内。

电路图和仿真结果见图 4，图 5。因为分频不再是固定的，使得 f_{vpm} 在 2147Hz 到 8588Hz 的范围内变化，仿真时取这两值之积的平方根，即 4294，积分器取值为 $4294 \times 2 \times \pi = 26980$ 。

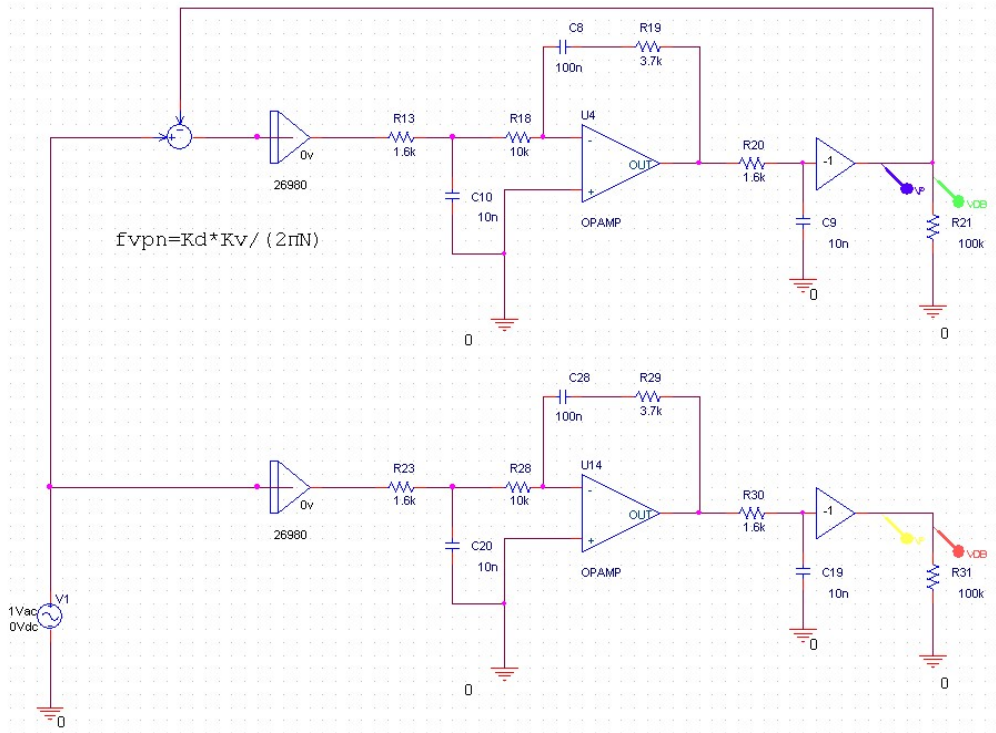


图 4：三阶有源环路滤波器电路图

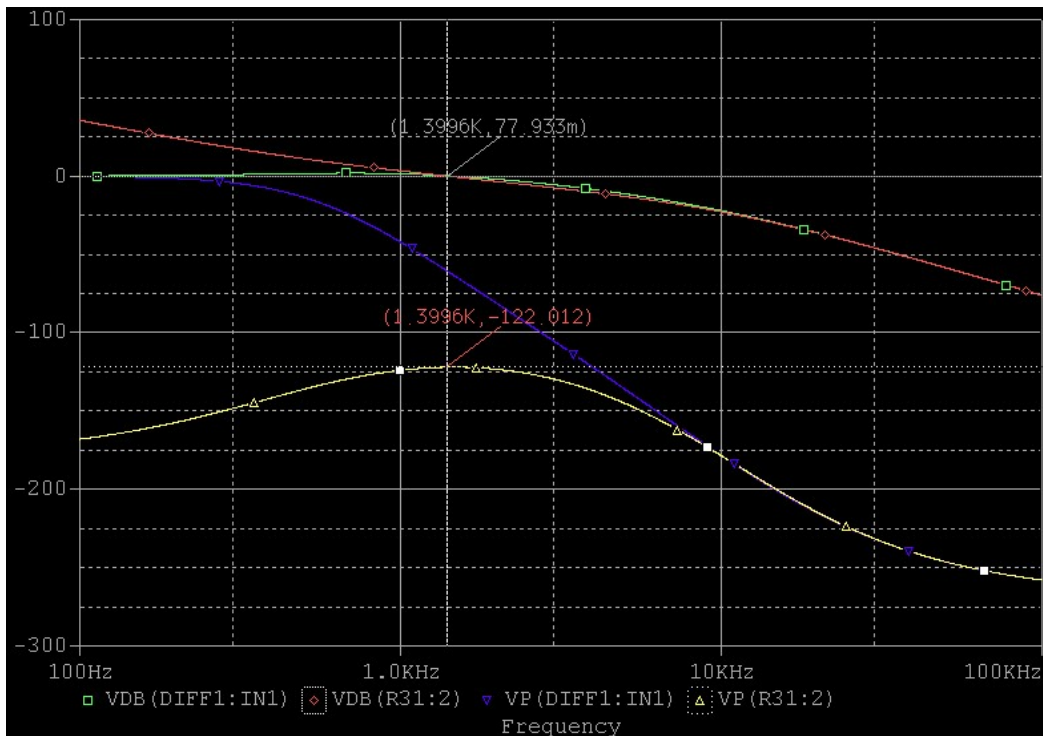


图 5：三阶有源环路滤波器仿真图

图 5 中，VDB(DIFF1:IN1)为闭环增益，VDB(R31:2)为开环增益，VP(DIFF1:IN1)为闭环相位，VP(R31:2)为开环相位。从仿真结果可以看到，开环增益分为三段，右侧的一段每十倍频程下降约 40dB。环路带宽为 1.4KHz 左右，开环增益为 0dB 时，相位余量约为 58 度。该滤波器的实际测试结果是泄露的鉴相频率明显减少，但是相位噪声明显增加，这应该是环路带宽变小造成的。

以设计这个环路滤波器的过程，总结一下三阶有源环路滤波器的设计步骤：

1) 测量和计算 VCO 增益 $K_v=13561906.42$ 和鉴相器增益 $K_d=0.39789$ 。根据

分频比的下界 100 和上界 400, 计算 f_{vpm} 的上界和下界分别为 8558 和 2147。

2) 选定滤波器增益 M , 增益越高环路带宽越大, 相位噪声越小, 但是泄露的鉴相频率成分越多。这个滤波器选取 $M=-10\text{dB}$, 即 0.316。

3) f_{vpm} 的上下界分别乘上 M , 得到 $fdL=678\text{Hz}$ 和 $fdH=2714\text{Hz}$ 。按照公式

$f_m = \sqrt{fdL \cdot fdH}$, 得到 $f_m=1356\text{Hz}$ 。该值实际上也就是图 5 所示的环路带宽。

4) 选定滤波器的相位余度, 这个滤波器选取相位余度为 50 度, 则滤波器滞后 40 度。且 $fdH / fdL=4$ 。在参考资料 1 的图 B.9 (c) 中查找滞后 40 度的曲线在 X 轴为 4 时, Y 轴坐标为 0.315, 并以此系数计算 $fL=f_m \times 0.315=427\text{Hz}$ 。类似地, 在图 B.9(B)中查找滞后 40 度的曲线在 X 轴为 4 时, Y 轴坐标为 7.2, 并一次计算 $fH=f_m \times 7.2=9770\text{Hz}$ 。这些值计算完成后就可以按照 P227 页的公式计算电阻电容的取值了。

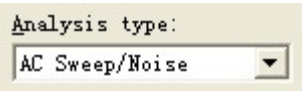
上述的设计步骤如果设计为 Excel 的公式, 计算起来就非常方便了。

三. PSpice 9.2 的使用

1. 在 Capture 中画图, 要选择 Analog or Mixed A/, 否则没有 PSpice 菜单。

2. INTEG 是积分器件, 在库 ABM.olb 中。该器件有两个参数, 一个是 GAIN, 即输入量乘以 GAIN 后积分, 另一个是 IC, 积分初值。DIFF 是差分器件, 也在库 ABM.olb 中, GAIN 器件也在 ABM.olb 库中。

3. 信号源用的是库 source.olb 中的 VAC。

4. 仿真类型选择交流分析 。

5. 注意图 3 图例中 VDB 和 VP 前的绿色正方形和红色菱形外围由虚线包围, 该虚线说明图中的游标 (cursor) 对应于那条曲线。这种关系可由鼠标左右键设置。

6. PSpice 的节点必须有对地直流参考电压, 否则在仿真时会出现 node is floating 的错误信息。图 1 中 R6 和 R16 就是为解决这个问题设置的 10G 的大电阻。

四. 制作笔记

PLL 控制器选用 PIC16F877A, DDS 选用 9951, VCO 选用 MC1648, 变容二极管是 1SV147, PLL IC 是 MC145170, 分别测试过 NE5532 和 LF357 作运放。

VCO、鉴相器和环路滤波器应分别单独供电, 并做好退耦, 否则输出信号中有大量的杂散。

在三阶有源环路滤波器的试验中发现, NE5532 作运放同相输入端接地才能正常锁相, LF357 作运放, 同相输入端在 +3V 以上才能正常锁相。原因不明。

参考资料

1. 锁相环(PLL)电路设计与应用 远坂俊昭
2. MC145170 datasheet Freescale
3. ARRL Handbook